

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-142952

⑬ Int. Cl.⁹

H 01 L 21/76
27/06
27/08

識別記号

D

庁内整理番号

7638-5F

3 3 1 A

7735-5F

8728-5F

⑭ 公開 平成3年(1991)6月18日

H 01 L 27/06

1 0 1 B

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平1-282396

⑰ 出 願 平1(1989)10月30日

⑱ 発 明 者 堅 田 満 孝 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内

⑲ 発 明 者 鶴 田 和 弘 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内

⑳ 発 明 者 藤 野 誠 二 愛知県西尾市下岩角町岩谷14番地 株式会社日本自動車部品総合研究所内

㉑ 出 願 人 株式会社日本自動車部品総合研究所 愛知県西尾市下羽角町岩谷14番地

㉒ 代 理 人 弁理士 岡 部 隆 外1名

BEST AVAILABLE

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 第1半導体基板および第2半導体基板の各々鏡面研磨面を接合面として密着接合した接合基板において、

前記接合面の所定領域に配設された凹部と、

少なくとも前記第1半導体基板に設けられ、前記接合面から前記第2半導体基板に対向する面方向に対して垂直方向の断面積が徐々に小さくなる形状の溝部と、

前記凹部および溝部の内壁を被覆する絶縁層と、

前記凹部および溝部を埋込む充填材料と、

前記溝部および凹部にて区画され、前記絶縁層と前記充填材料にて電気的に絶縁分離された前記接合基板の一領域に形成された第1の機能素子部と、

前記溝部に隣接する前記接合基板の他領域に形成された第2の機能素子部と、

を具備することを特徴とする半導体装置。

(2) 第1半導体基板の一方の面の一領域に凹部を形成し、

この凹部の周縁部に前記凹部よりも深い溝部を形成し、

前記凹部および溝部を形成した面を全て絶縁物で被覆した後、前記凹部および溝部を充填材料で埋設し、

前記一方の面を鏡面研磨して、前記一方の面の他領域を面出させ、

この鏡面研磨された前記第1半導体の一方の面と、少なくとも一方の面が鏡面研磨された第2半導体基板の鏡面研磨面とを接合することにより接合基板とし、

前記第1半導体基板の他方の面から前記溝部を露出させ、

前記溝部および凹部にて区画され、前記絶縁物と前記充填材料で電気的に分離された領域を前記

接合基板の前記第1半導体基板に形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置およびその製造方法に関するもので、特に高耐圧素子の素子間分離に関するものである。

(従来の技術)

従来、例えば高耐圧パワー素子と論理回路とを1チップ上に搭載する複合素子を形成する場合にはパワー素子と論理回路の素子間分離が必要となる。なお、パワー素子において駆動可能な電流量を向上させるには論理部を形成するのと同じ面にソース及びゲートをまた反対の面にはドレインを形成する、いわゆる縦型の素子が不可欠である。すなわち、この縦型のパワー素子と論理部を電気的に分離することのできる構造が必要とされる。

リングといった高耐圧素子構造を形成しなければならず、前記の素子分離の拡散に加えて更に面積の損失を増大させてしまうことになる。また、PN接合分離は熱的に不安定であり、100℃以上の高温になるとリーク電流によりラッチアップが発生しやすくなるという問題点も有している。

本発明は上記種々の問題に陥りてなされたものであり、基板表面を電流経路とする縦型のパワー素子の形成が可能であるとともに、パワー素子の耐圧構造に要する基板面積によりパワー素子部の素子寸法が大きくなることのない素子間分離が実現できる半導体装置およびその製造方法を提供することを目的とする。

(課題を解決するための手段)

本発明は上記目的を達成するために、

請求項1記載の発明では、いわゆる基板接合法を応用し、

第1半導体基板および第2半導体基板の各々鏡面研削面を接合面として密着接合した接合基板に

いわゆる素子間分離技術としてはPN接合による素子間分離が一般的に知られている。このPN接合による素子間分離方法は、P型半導体素子上にN型エピタキシャル層を形成し、このエピタキシャル層の表面からP型基板に達するまで拡散によってP⁺層を設け、このP⁺層によってパワー素子部と論理回路部を分離するものである。これにより、論理回路部をP⁺層により囲んだ状態でPN接合が形成され、高電圧発生時にはこのPN接合が逆バイアスされ、論理部は他の領域と電気的に分離することができる。

(発明が解決しようとする課題)

しかしながら、この方法は300V以上のパワー素子を形成する場合には分離用拡散層の拡散深さが40μm以上となり、素子間分離構造形成のための拡散により横方向の拡散幅が増大し、素子形成に利用できる面積の損失が大きくなってしまふ。更にパワー素子部の外周上には、高耐圧を保持するための、フィールドプレート或いはガード

において、

前記接合面の所定領域に配設された凹部と、

少なくとも前記第1半導体基板に設けられ、前記接合面から前記第2半導体基板に対向する面方向に対して垂直方向の断面積が徐々に小さくなる形状の溝部と、

前記凹部および溝部の内壁を被覆する絶縁層と、

前記凹部および溝部を埋込む充填材料と、

前記溝部および凹部にて区画され、前記絶縁層と前記充填材料にて電気的に絶縁分離された前記接合基板の一領域に形成された第1の機能素子部と、

前記溝部に隣接する前記接合基板の他領域に形成された第2の機能素子部と、

を具備することを特徴とする半導体装置を提供する。

また、請求項2記載の発明においては、

第1半導体基板の一方の面の一領域に凹部を形成し、

この凹部の周縁部に前記凹部よりも深い溝部を

形成し、

前記凹部および溝部を形成した面を全て絶縁物で被覆した後、前記凹部および溝部を充填材料で埋設し、

前記一方の面を鏡面研磨して、前記一方の面の他領域を面出させ、

この鏡面研磨された前記第1半導体の一方の面と、少なくとも一方の面が鏡面研磨された第2半導体基板の鏡面研磨面とを接合することにより接合基板とし、

前記第1半導体基板の他方の面から前記溝部を表出させ、

前記溝部および凹部にて区画され、前記絶縁物と前記充填材料で電気的に分離された領域を前記接合基板の前記第1半導体基板に形成することを特徴とする半導体装置の製造方法を提供する。

(作用・効果)

すなわち、請求項1記載の発明を採用することによって、接合基板には絶縁層および充填材料に

て埋設された溝部および凹部にて電気的に絶縁分離された第1の機能素子部が構成される。

また、この第1の機能素子部以外の領域においては、第1および第2半導体基板が電気的に導通しているため、第2の機能素子部として縦型のパワー素子が形成可能である。

さらに、その縦型のパワー素子は、溝部の形状が例えばいわゆる逆メサ状に形成可能であるために、その耐圧構造に要する基板面積を小さくすることができる。

従って、請求項1記載の発明によれば、基板裏面を電流経路とする縦型のパワー素子の形成が可能であるとともに、パワー素子の耐圧構造に要する基板面積によりパワー素子部の素子寸法が大きくなることのない素子間分離が実現できるという優れた効果がある。

また、請求項2記載の発明によれば、上記効果を有する半導体装置を製造できるという優れた効果がある。

(実施例)

以下本発明を図に示す実施例に基づいて説明する。

第1図は本発明第1実施例を適用した半導体装置の断面図である。

以下、第1図に示す半導体装置を第2図(a)~(f)に示す製造工程に従って説明する。

まず、第2図(a)の如く、低濃度の第1半導体基板1の一方の面に所定のパターンを有する例えばSiO₂膜によるマスク2を形成し、第2図(b)の如く、将来SOI構造に論理部40を構成する論理部構成予定領域を選択的にエッチングし、凹部3を形成する。凹部3の深さは後述するようにシリコンのラップポリッシュの精度及び素子の耐圧とも関係するが2μm以上あればよい。

次に、第2図(c)に示す如く、凹部3の同縁およびパワー素子構成領域5の同縁に沿って楔状の、すなわち深くなる程幅の狭くなる溝4を形成する。溝4形成法としては、例えば角度付ブレードによりダイシングで溝を形成した後、溝側面の結晶欠陥

除去のためHF、HNO₃、CH₃COOH混合液により化学エッチングを施す。そして、第2図(d)に示す如く、この凹部3及び溝4を形成した面に絶縁膜6を形成する。絶縁膜材料としては例えば熱酸化、CVD等により形成したシリコン酸化膜、或いはCVD、スパッタ法等により形成した窒化珪素膜等が適当である。更に、ゲッタリング効果を付加するためにPSG膜、或いはBPSG膜を絶縁膜6の形成後形成するようにしてもよい。

しかる後、第2図(e)に示す如く、凹部3及び溝4が埋まるようにCVD法、スパッタ法、蒸着法等により多結晶シリコン、酸化シリコン、窒化珪素等のシールド用充填材料7を堆積させる。この時、第1半導体基板1の反り等をできるだけ低減させるため、堆積する充填材料は熱膨張係数が第1半導体基板1に近いことが望ましく、単一材料では多結晶シリコンが適当である。

次に充填材料7をラップポリッシュ法によりパワー部形成領域5の第1半導体基板1の面が露出するまで鏡面研磨を行い、第2図(f)に示す如く、

鏡面研磨面1aを形成する。

この鏡面研磨面1aを有する第1半導体基板1と、少なくとも一方の面を鏡面研磨した高濃度の第2半導体基板8とを、例えばトリクロルエタン煮沸、アセトン超音波洗浄、 NH_3 、 H_2O_2 、 H_2O の混合液による有機物の除去、 HCl 、 H_2O_2 、 H_2O の混合液による金属汚染の除去および純水洗浄を順次施すことにより充分洗浄する。その後、 HF 、 H_2O 混合液により自然酸化膜を除去した後、例えば H_2SO_4 - H_2O_2 の混合液に浸漬することにより、ウェハ表面に15Å以下の酸化膜を形成し、親水性を持たせ、純水にて洗浄する。次に乾燥窒素等による乾燥を行い、基板表面に吸着する水分量を制御した後、第2図図に示す如く、2枚の半導体基板1、8の鏡面研磨面同士を密着させる。これにより、2枚の基板1、8は表面に形成されたシリノール基及び表面に吸着した水分子の水素結合により接着される。更に、この接着した基板1および8を例えば窒素、アルゴン等の不活性ガス雰囲気中で1100℃以上、1時間以

上の熱処理を施すことにより、Si原子同士の結合ができ、2枚の基板1および8は強固に接合され、接合基板10が形成される。

この後、第2図図に示す如く、第1半導体基板1の第2半導体基板8に対向する側の表面1bに溝4が露出するまでラップポリッシュを行う。これにより絶縁膜6で電氣的に絶縁され、充填材料7により埋められた基板内部に空洞のない、SOI領域20を有する半導体基板10が形成される。

この得られた基板10に所定の素子を通常のプロセスに従って形成することにより、第1図に示す半導体装置が製造される。

第1図は、上記製造工程において基板1としてN⁻型、基板8としてP⁺型を用いて接合したもので、縦型パワートランジスタ30とこれを制御する論理回路部40が1つの半導体基板10に形成されている。

この縦型パワートランジスタ30は接合基板10の第1半導体基板1側の表面1bにソース電極31、ゲート電極32が形成され、基板8の表面

すなわち接合基板10の裏面にはドレイン電極33が形成されている。また、前述のごとく分離溝4は基板1の裏面すなわち接合基板10内部の接合面から楔状に形成してあるため、基板1側から見た場合、N⁻層は逆台形（逆メサ）形状となっている。従って、素子の耐圧を保持するPN接合面は平坦とされて、絶縁膜6で保護された溝4による所定の傾斜側面により、そのPN接合面周縁部においても湾曲した部分すなわち電界集中のおこりやすい領域のない平坦面とされ、かつ逆メサ構造を構成するため、PN接合面の端部の電界は弱められ、基板濃度に対応した理論的に予想される高耐圧化が可能である。しかも、前述のようにPN接合面に湾曲部がないため、ガードリングのような水平方向に空乏層を広げて電界を緩和する余分な耐圧構造が不用であるため、パワー素子部の面積が低減可能である。さらに、絶縁膜6および基板内部の空洞の無により、吸湿等が原因となるパワー素子部の表面漏れ電流が生じることはなく、経時変化の少ない安定した耐圧が得られる。

また、接合基板の内部は前述のように充填材料7により埋められて空洞部が存在しないため、製造工程時に基板1側の表面1bをラップポリッシュしても論理部40とパワー素子部30の境界において欠けなどの発生する心配はない。さらに境界部を表面1bに露出させることが可能となるため、各領域への素子位置合わせは非常に容易である。また、領域20は単結晶基板により形成されているため、素子特性が良好であり、また、絶縁膜6によってパワー部30と絶縁分離されているため、分離耐圧が大きく耐熱性にも優れている。

次に第3図に本発明第2実施例を適用した複合化素子の断面構造を示す。以下、本実施例を第4図(a)~(f)に示す製造工程に従って説明する。

まず第4図(a)の如く、第1半導体基板50にマスク51を形成した後SOI領域及びパワー部の端部に対応する領域に窓52を開ける。次に HF 、 HNO_3 、 CH_3COOH 混合液の弗硝酸系エッチング液により窓52の部分をエッチングする。この時、弗硝酸は窓の端部のエッチング速度が

速く、第4図(b)のごとく窓に沿って溝部53が形成されることになる。エッチング量を所定の耐圧が得られるまでの深さにまで行った後、マスク材51を除去し、第1実施例と同様の方法で第1半導体基板50のエッチングを行った面50aに酸化膜等の絶縁膜54を形成し、第4図(c)に示す如く、充填材料55を堆積する。しかる後、第4図(d)に示す如く、パワー部に対応する領域56が露出するまでラップポリッシュを行う。更に前記第2図(a)に示す工程と同様の方法で第4図(e)に示す如く第1半導体基板50と第2半導体基板60を接合し、一枚の基板とする。そして最後に、第4図(f)に示す如く、第1半導体基板50の表面を第4図(b)で形成した凹部53が表面上に現れるまでラップポリッシュを行い、SOI領域20を形成する。そして、通常のプロセスに従って所定の素子を形成し、第3図に示す半導体装置が製造される。

上記方法によれば、素子間分離用の溝を形成する工程が弗硝酸のエッチングという1工程だけ

で行えるため、工程が簡略化可能であり、容易にウエハを形成することが可能である。なお、第3図において、第1実施例と同一構成には第1図と同一符号が付してある。

なお、上記種々の実施例においては、MOS型構造のものについて説明したが、バイポーラ型素子を複合化するようにしたものに適用してもよい。また、基板の導電型もN型で説明したが、P型であってもよい。また、接合基板と高耐圧部についての組み合わせもP-N、P-P、N-P、N-Nのいずれでも構わない。

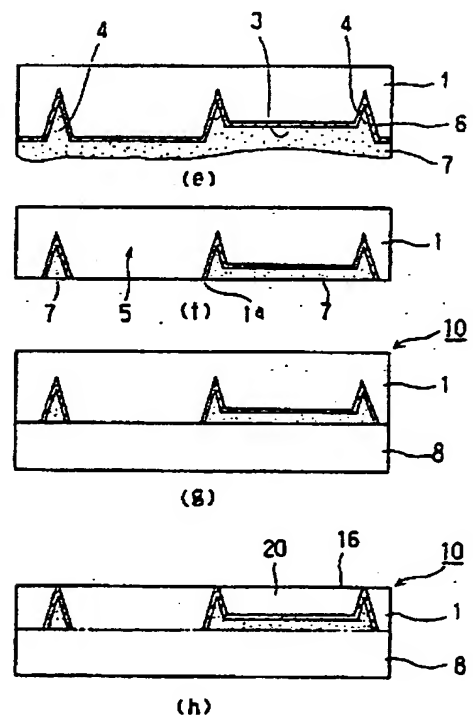
4. 図面の簡単な説明

第1図は本発明第1実施例を適用した複合素子の断面図、第2図(a)~(h)は本発明第1実施例の製造工程順断面図、第3図は本発明第2実施例を適用した複合素子の断面図、第4図(a)~(f)は本発明第2実施例の製造工程順断面図である。

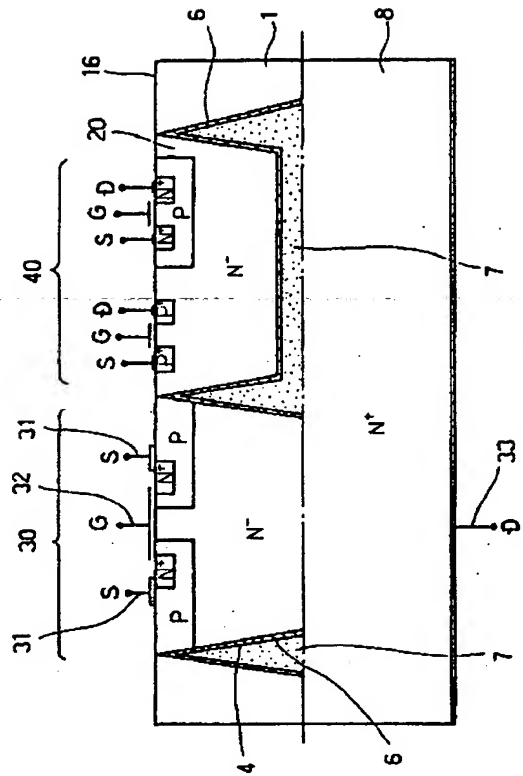
1…第1半導体基板、3…凹部、4…溝、6…絶縁膜、7…充填材料、8…第2半導体基板、10

0…接合基板、20…SOI領域、30…縦型パワー素子部、40…論理回路部、50…第1半導体基板、53…溝、54…絶縁膜、55…充填材料、60…第2半導体基板。

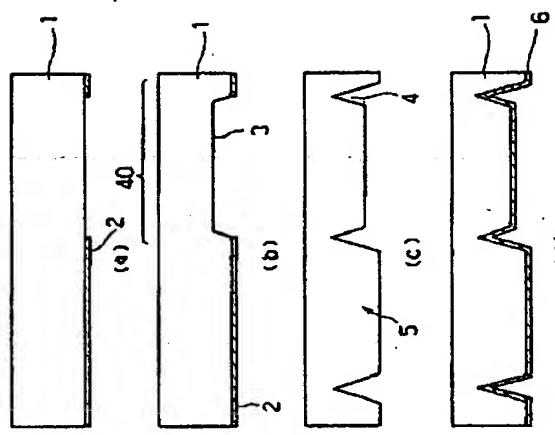
代理人弁理士 岡 部 隆
(ほか 1名)



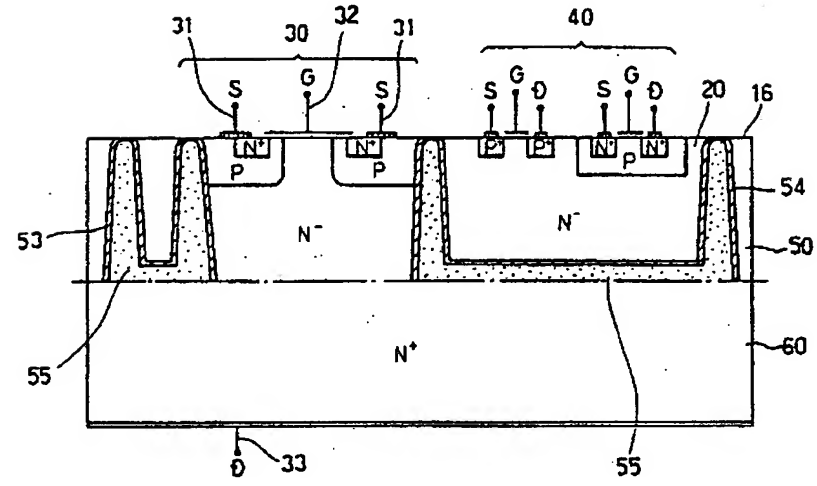
第 2 図



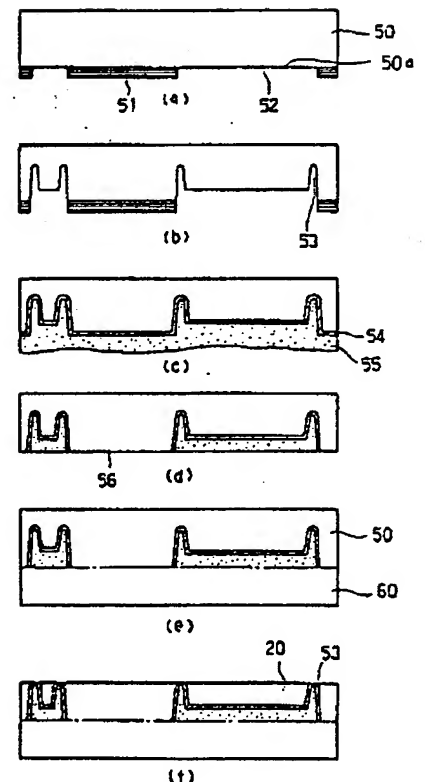
第 1 図



第 2 図



第 3 図



第 4 図